

corr. to KR 2002-0003810

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189439
(43)Date of publication of application : 05.07.2002

(51)Int.Cl. G09G 3/20
G02F 1/133
G09G 3/36

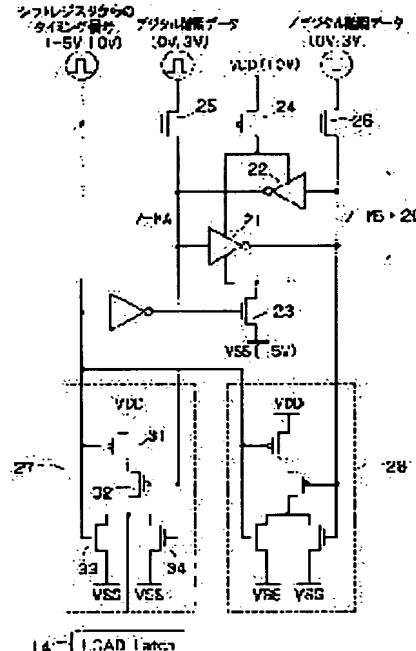
(21)Application number : 2000-387063 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 20.12.2000 (72)Inventor : MORITA TETSUO

(54) DATA LATCHING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a data latching circuit capable of reducing power consumption by making a through current not to flow through the circuit and to provide a liquid crystal display device.

SOLUTION: This liquid crystal display device has a pixel array part 1 in which signal lines and scanning lines are provided in lines, respectively, a scanning line driving circuit 2 driving the scanning lines and a signal line driving circuit 3 driving the signal lines. The scanning line driving circuit 2 has vertical shift register 11 shifting a vertical scanning pulse based on the vertical synchronizing signal supplied from the outside. Since the output of a sampling latch circuit 13 is set to fixed logic during a sampling period and the through current is made not to flow from a power source voltage terminal VDD to a ground terminal VSS during the sampling period, power consumption is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

3151①の
ナカシヤP

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-189439

(P2002-189439A)

(43)公開日 平成14年7月5日 (2002.7.5)

(51) Int.Cl. ¹	識別記号	F I	チ-マコ-ト(参考)
G 09 G 3/20	6 2 3	G 09 G 3/20	6 2 3 C 2 H 0 9 3
	6 1 1		6 1 1 A 5 C 0 0 6
G 02 F 1/133	5 5 0	G 02 F 1/133	5 5 0 5 C 0 8 0
G 09 G 3/36		G 09 G 3/36	

審査請求 未請求 請求項の数6 O.L (全8頁)

(21)出願番号 特願2000-387063(P2000-387063)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日 平成12年12月20日 (2000.12.20)

(72)発明者 森田哲生

埼玉県深谷市幡縫町1-9-2 株式会社
東芝深谷工場内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

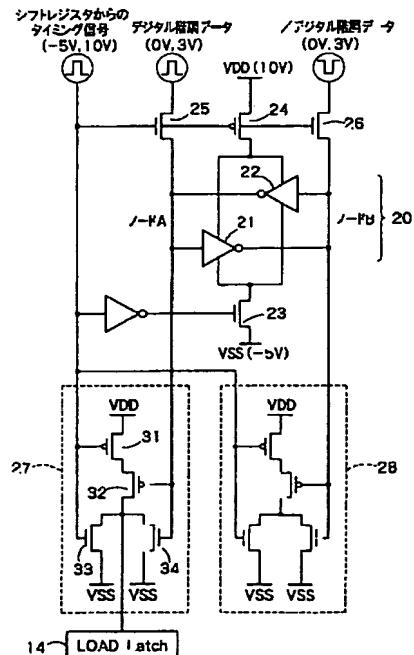
最終頁に続く

(54)【発明の名称】 データラッチ回路および液晶表示装置

(57)【要約】

【課題】 貫通電流が流れないようにして消費電力の低減を図るデータラッチ回路と液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置は、信号線および走査線が列設された画素アレイ部1と、走査線を駆動する走査線駆動回路2と、信号線を駆動する信号線駆動回路3とを有する。走査線駆動回路2は、外部から供給された垂直同期信号に基づいて垂直走査パルスをシフトさせる垂直シフトレジスタ11を有する。サンプリング期間中は、サンプリングラッチ回路13の出力を固定の論理に設定するため、サンプリング期間中に電源電圧端子VDDから接地端子VSSに貫通電流が流れなくなり、消費電力の低減が図れる。



【特許請求の範囲】

【請求項1】所定のサンプリング期間にデジタルデータをラッチするデータラッチ回路において、出力端および入力端が互いにループ状に接続された第1および第2のインバータを有する記憶回路と、前記第1および第2のインバータに電源電圧を供給するか否かを切替制御する第1および第2のスイッチ素子と、ラッチ対象となるデジタルデータを前記記憶回路に供給するか否かを切替制御する第3のスイッチ素子と、前記記憶回路に記憶されたデータを読み出す出力回路と、を備え、前記第1および第2のスイッチ素子は、前記サンプリング期間以外の期間にオンして前記第1および第2のインバータに電源電圧を供給し、前記第3のスイッチ素子は、前記サンプリング期間内にオンしてデジタルデータを前記記憶回路に供給し、前記出力回路は、前記サンプリング期間内に前記出力回路の電源端子から接地端子に向けて貫通電流が流れないように、貫通電流防止機能を有することを特徴とするデータラッチ回路。

【請求項2】前記出力回路は、前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外は前記第1のインバータの出力を反転出力する第1の論理演算回路と、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外は前記第2のインバータの出力を反転出力する第2の論理演算回路と、を備えることを特徴とする請求項1に記載のデータラッチ回路。

【請求項3】前記出力回路は、前記サンプリング期間か否かを示す第1の信号と、前記サンプリング期間以外の所定の期間に特定の論理になる第2の信号とが供給され、前記出力回路は、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外で前記第2の信号が前記特定の論理になったときに前記第1のインバータの出力を反転出力する第1の論理演算回路と、前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外で前記第2の信号が前記特定の論理になったときに前記第2のインバータの出力を反転出力する第2の論理演算回路と、を有することを特徴とする請求項2に記載のデータラッチ回路。

【請求項5】前記第1および第2の論理演算回路は、NANDゲート、NORゲートおよびクロックトインバータのいずれかを含むことを特徴とする請求項3または4に記載のデータラッチ回路。

【請求項6】列設された信号線および走査線と、信号線および走査線の交点付近に配設された表示素子と、

信号線のそれぞれを駆動する信号線駆動回路と、走査線のそれぞれを駆動する走査線駆動回路と、を備えた液晶表示装置において、

前記信号線駆動回路は、複数のレジスタ回路を有し、各レジスタ回路のそれから、クロック信号に同期させてシフトさせたシフトパルスを順に出力するシフトレジスタと、前記シフトパルスのそれぞれに同期させて、画素情報に関するデジタルデータをラッチする請求項1～5のいずれかに記載の複数のデータラッチ回路と、前記複数のデータラッチ回路のラッチ出力をロード信号に同期させて同時にラッチするロードラッチ回路と、前記ロードラッチ回路のラッチ出力をアナログ画素電圧に変換した後、対応する信号線に供給するD/A変換回路と、を備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルデータを所定のサンプリング期間にラッチするデータラッチ回路に関し、特に、液晶表示装置の内部に用いられるデジタル階調データのラッチ用のデータラッチ回路に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の液晶表示装置は、アレイ基板と対向基板との間に液晶層を挟んで封止した構造になっている。アレイ基板は、マトリクス状に配置される複数の画素電極と、これら画素電極に沿って行方向に配置される複数の走査線と、これら画素電極に沿って列方向に配置される複数の信号線と、信号線および走査線の交点付近に配置される画素TFTとを有する。

【0003】画素TFTは、走査線の電圧によりオン・オフし、オンした場合には、対応する信号線の電圧を画素電極に供給する。

【0004】最近のTFT特性の向上、及び微細加工技術の進歩により、走査線を駆動する走査線駆動回路と、信号線を駆動する信号線駆動回路とをアレイ基板上に形成することも技術的に可能になってきた。

【0005】図1は、外部から供給されたデジタル階調データに基づいて信号線を駆動する、従来のデジタル式の液晶表示装置の概略構成を示すブロック図である。図1では、一例として、電源電圧VDD=10V、接地電圧VSS=-5V、デジタル階調データVHigh=3V、VLow=0Vのデジタルインターフェース回路内蔵の液晶表示装置(LCD: Liquid Crystal Display)を想定している。

【0006】図1の液晶表示装置は、信号線および走査線が列設された画素アレイ部1と、走査線を駆動する走

査線駆動回路2と、信号線を駆動する信号線駆動回路3とを有する。走査線駆動回路2は、画素アレイ部1の外部から供給された垂直同期信号に基づいて垂直走査パルスをシフトさせる垂直シフトレジスタを有する。

【0007】信号線駆動回路3は、図7に示すように、水平シフトレジスタ11と、デジタルビデオバスライン12と、サンプリングラッチ回路13と、ロードラッチ回路14と、D/A変換回路15とを有する。

【0008】デジタルビデオバスライン12にはデジタル階調データが供給される。このデジタル階調データは、水平シフトレジスタ11からのタイミング信号によりサンプリングラッチ回路13にラッチされる。この際、サンプリングラッチ回路13が有するレベルシフト機能により、デジタル階調データは、信号線駆動回路3の駆動電圧(VDD, VSS)にレベル変換される。サンプリングラッチ回路13において、一水平ライン分のデジタル階調データのラッチが終了するまでの時間は、一ライン期間と呼ばれる。

【0009】ロードラッチ回路14は、各サンプリングラッチ回路がそれぞれ異なるタイミングでラッチしたデータを同タイミングでラッチする。ロードラッチ回路14でのラッチ動作が終了した後、各サンプリングラッチ回路13は次の水平ラインのラッチ動作を順に行う。

【0010】サンプリングラッチ回路13がラッチ動作を行っている最中に、その直前の水平ラインについて、D/A変換回路15はデジタル階調電圧をアナログ階調電圧に変換する。このアナログ階調電圧は、対応する信号線に供給される。上述した動作を繰り返すことにより、画素アレイ部1内の全画素表示領域に画像が表示される。

【0011】図7はサンプリングラッチ回路13の具体的な回路構成を示す図である。同図において、CMOSインバータ81の入力端(以下ノードA)はCMOSインバータ82の出力端に接続され、CMOSインバータ81の出力端(以下ノードB)はCMOSインバータ82の入力端に接続されている。これら2つのインバータはNMOSトランジスタ83を介して負電源VSSに、PMOSトランジスタ84を介して正電源VDDに接続されている。これら2つのインバータはループ状に接続され、デジタル信号を記憶する記憶回路80を形成している。

【0012】デジタル階調データはNMOSトランジスタ85を介してノードAに、デジタル階調データの逆相信号である/デジタル階調データはNMOSトランジスタ86を介してノードBに接続されている。

【0013】シフトレジスタ11からのタイミング信号はPMOSトランジスタ84とNMOSトランジスタ85, 86のゲートに入力され、タイミング信号の逆相信号はNMOSトランジスタ83のゲートに入力されている。

【0014】また、ノードAにはCMOSインバータ87が、ノードBにはCMOSインバータ88がそれぞれ接続さ

れ、CMOSインバータ87の出力はロードラッチ回路14に入力される。

【0015】次に、図7のサンプリングラッチ回路13の回路動作について、図8のタイミングチャートを用いて説明する。

【0016】時刻t1において、シフトレジスタ11からのタイミング信号がハイレベルになると、NMOSトランジスタ83とPMOSトランジスタ84がオフ、NMOSトランジスタ85とNMOSトランジスタ86がオンになり、デジタル階調データとその逆相データがノードAおよびノードBにそれぞれ取り込まれる。

【0017】次に、時刻t2においてシフトレジスタ11からのタイミング信号がローレベルになると、NMOSトランジスタ85とNMOSトランジスタ86がオフ、NMOSトランジスタ83とPMOSトランジスタ84がオンになり、デジタル階調データの入力が遮断されるとともに、記憶回路80に電源電圧が供給される。記憶回路80では、ノードAとノードBでデジタル階調データとその逆相データの電圧比較が行われ、高い電位(VHigh)がVDDに、低い電位(VLow)がVSSにそれぞれレベル変換される。

【0018】インバータ87, 88はそれぞれノードAの寄生容量と、ノードBの寄生容量と同じにするために挿入される。すなわち、図9のように、ノードA側の信号だけをロードラッチ回路14に供給すると、ノードAの寄生容量と、ノードBの寄生容量に差が生じ、時刻t2でデジタルデータをレベル変換する際に、記憶回路80が誤動作を起こす可能性がある。そこで、一番単純なCMOS回路部品であるインバータをノードAおよびノードBにそれぞれ接続し、ノードA, Bの寄生容量をほぼ同じ値にする。

【0019】ノードAにつながるインバータ87の出力は、時刻t3～t4の間に、ロードラッチ回路にラッチされる。

【0020】図7のような回路構成にすれば、サンプリングラッチ回路13に供給されるデジタル階調データの電圧レベルを0～3Vの低電圧に設定できる。すなわち、デジタルビデオバスライン12を低電圧で駆動でき、低消費電力化が可能になるとともに、外部のタイミング1Cからレベルシフト回路を介さず直接デジタルデータを入力できるので、システムの構成を簡略化できる。

【0021】

【発明が解決しようとする課題】しかしながら、図7および図8に示したデジタル階調方式の液晶表示装置の場合、シフトレジスタ11からのタイミング信号がハイレベルになって(時刻t1～t2)、デジタル階調データをメモリ内に取り込む際、インバータ87およびインバータ88に0Vと3V(または3Vと0V)が取り込まれるため、インバータ87, 88を構成するNMOSおよび

PMOSトランジスタが全部オン状態になる。これにより、電源電圧端子VDDから接地端子VSSに向けて貫通電流が流れ、サンプリングラッチ回路13の消費電流が大きくなってしまうという問題がある。

【0022】本発明はこのような点に鑑みてなされたものであり、その目的は、貫通電流が流れないようにして消費電力の低減を図るデータラッチ回路および液晶表示装置を提供することにある。

【0023】

【課題を解決するための手段】上述した課題を解決するために、本発明は、所定のサンプリング期間にデジタルデータをラッチするデータラッチ回路において、出力端および入力端が互いにループ状に接続された第1および第2のインバータを有する記憶回路と、前記第1および第2のインバータに電源電圧を供給するか否かを切替制御する第1および第2のスイッチ素子と、ラッチ対象となるデジタルデータを前記記憶回路に供給するか否かを切替制御する第3のスイッチ素子と、前記記憶回路に記憶されたデータを読み出す出力回路と、を備え、前記第1および第2のスイッチ素子は、前記サンプリング期間以外の期間にオンして前記第1および第2のインバータに電源電圧を供給し、前記第3のスイッチ素子は、前記サンプリング期間内にオンしてデジタルデータを前記記憶回路に供給し、前記出力回路は、前記サンプリング期間内に前記出力回路の電源端子から接地端子に向けて貫通電流が流れないように、貫通電流防止機能を有する。

【0024】本発明では、データラッチ回路の出力回路に貫通電流防止機能を持たせたため、サンプリング期間内の消費電力の低減が図れる。

【0025】

【発明の実施の形態】以下、本発明に係るデータラッチ回路および液晶表示装置について、図面を参照しながら具体的に説明する。以下では、液晶表示装置内部のサンプリングラッチ回路に本発明のデータラッチ回路を適用する例について説明する。

【0026】図1は本発明に係る液晶表示装置の全体構成を示すブロック図である。ここでは、一例として、電源電圧VDD=10V、接地電圧VSS=-5V、デジタル階調データがVHigh=3V、VLow=0Vのデジタルインターフェース回路を内蔵した液晶表示装置(LCD)を想定している。

【0027】図1の構成は、従来の液晶表示装置と同様であり、信号線および走査線が列設された画素アレイ部1と、走査線を駆動する走査線駆動回路2と、信号線を駆動する信号線駆動回路3とを有する。走査線駆動回路2は、外部から供給された垂直同期信号に基づいて垂直走査パルスをシフトさせる垂直シフトレジスタ11を有する。

【0028】信号線駆動回路3は、図1に示すように、水平シフトレジスタ11と、デジタルビデオバスライン

12と、サンプリングラッチ回路(S-latch)13と、ロードラッチ回路(L-latch)14と、D/A変換回路15とを有する。

【0029】デジタルビデオバスライン12にはデジタル階調データが供給される。このデジタル階調データは、水平シフトレジスタ11からのタイミング信号によりサンプリングラッチ回路13にラッチされる。この際、サンプリングラッチ回路13が有するレベルシフト機能により、デジタル階調データは、信号線駆動回路3の駆動電圧(VDD, VSS)にレベル変換される。

【0030】サンプリングラッチ回路13での一水平ライン分のデジタル階調データのラッチが終了するまでの時間は、一ライン期間と呼ばれる。

【0031】ロードラッチ回路14は、各サンプリングラッチ回路がそれぞれ異なるタイミングでラッチしたデータを同タイミングでラッチする。ロードラッチ回路14でのラッチ動作が終了した後、各サンプリングラッチ回路13は次の水平ラインのラッチ動作を順に行う。

【0032】サンプリングラッチ回路13がラッチ動作を行っている最中に、その直前の水平ラインに対して、D/A変換回路15はデジタル階調電圧をアナログ階調電圧に変換する。このアナログ階調電圧は、対応する信号線に供給される。上述した動作を繰り返すことにより、画素アレイ部1内の全画素表示領域に画像が表示される。

【0033】図2はサンプリングラッチ回路13の具体的な回路構成を示す回路図である。図2のサンプリングラッチ回路13は、出力端および入力端が互いにループ状に接続され2個のインバータ(第1および第2のインバータ)21, 22からなる記憶回路20と、これらインバータのそれぞれに電源電圧VDDおよび接地電圧VSSを供給するか否かを切替制御するトランジスタ(第1および第2のスイッチ素子)23, 24と、デジタル階調データを記憶回路20に供給するか否かを切替制御するトランジスタ(第3のスイッチ素子)25, 26と、記憶回路20に記憶されたデータを非サンプリング期間にロードラッチ回路14に供給するNOR回路(出力回路、第1および第2の論理演算回路)27, 28とを有する。

【0034】PMOSトランジスタ24～26のゲート端子には、不図示のレジスタ回路2からのタイミング信号(シフトパルス)が入力される。このタイミング信号がハイレベルのときは、サンプリング期間を表している。NMOSトランジスタ23のゲート端子には、このタイミング信号をインバータ29で反転した信号が入力される。

【0035】NOR回路27, 28は、PMOSトランジスタ31, 32とNMOSトランジスタ33, 34とを有し、レジスタ回路2からのタイミング信号がハイレベルのとき、すなわちサンプリング期間中は、トランジスタ33

がオンしてトランジスタ31がオフし、NOR回路27, 28の出力はローレベル固定になる。また、レジスタ回路2からのタイミング信号がローレベルのとき、すなわち非サンプリング期間中は、トランジスタ31がオンしてトランジスタ33がオフし、デジタル階調データを反転したデータがNOR回路27, 28から出力される。

【0036】次に図2のデータラッチ回路の回路動作を図3のタイミングチャートに基づいて説明する。

【0037】時刻t1において、レジスタ回路2からのタイミング信号がハイレベルになると、NMOSトランジスタ23とPMOSトランジスタ24がオフ、NMOSトランジスタ25とNMOSトランジスタ26がオンになり、デジタル階調データとその反転データがノードAおよびノードBにそれぞれ取り込まれる。

【0038】次に、時刻t2において、レジスタ回路2からのタイミング信号がローレベルになると、NMOSトランジスタ25とNMOSトランジスタ26がオフになると代わりに、NMOSトランジスタ23とPMOSトランジスタ24がオンになり、デジタル階調データがサンプリングラッチ回路13に取り込まれなくなるが、記憶回路20には電源電圧VDD、VSSが供給される。記憶回路20は、ノードA、Bにて、デジタル階調データとノーデジタル階調データの電圧比較を行い、ハイレベル電圧VHighがVDDに、ローレベル電圧VLowがVSSになるように、レベル変換を行う。すなわち、記憶回路20は、時刻t2の直前にノードA、Bに取り込んだデータをレベル変換して保持する。

【0039】NOR回路27, 28には、時刻t1～t2の期間内は、0-3V振幅のデータが供給される。この期間内は、シフトレジスタ11からのタイミング信号はハイレベルであるため、NOR回路27, 28内のPMOSトランジスタ31はオフ状態である。このため、電源端子VDDから接地端子VSSに貫通電流が流れるおそれはない、従来のサンプリングラッチ回路13に比べて消費電力を大幅に低減できる。

【0040】また、図2のサンプリングラッチ回路13は、ノードA側とB側のそれぞれにNOR回路27, 28を有するため、ノードA、Bの寄生容量がほぼ同等であり、従来のサンプリングラッチ回路13と同様、時刻t2にてデジタルデータを安定して昇圧することができる。

【0041】時刻t2以降、レジスタ回路2からのタイミング信号はローレベルになり、NOR回路27, 28は単純なインバータ回路として機能するため、図7に示す従来のサンプリングラッチ回路13と同様の出力をロードラッチ回路14に供給することができる。

【0042】このように、本実施形態では、サンプリング期間中は、サンプリングラッチ回路13の出力を固定の論理に設定するため、サンプリング期間中に電源電圧端子VDDから接地端子VSSに貫通電流が流れなくなり、

消費電力の低減が図れる。

【0043】図2では、NOR回路27, 28をサンプリングラッチ回路13の出力段に挿入する例を説明したが、レジスタ回路2がオン期間中、VDDからVSSへの貫通電流を防止する機能を持った他の回路素子をNOR回路27, 28の代わりに挿入しても、同様の効果が得られる。例えば、図4のようにクロックトインバータ47, 48を挿入しても、同様の効果が得られる。

【0044】図4のクロックトインバータ47, 48は、電源電圧VDDと接地電圧VSSとの間に直列接続された4つのトランジスタ35～38を有する。トランジスタ35, 38は、レジスタ回路2からのタイミング信号がローレベルのとき、すなわち非サンプリング期間中にオンする。これらトランジスタ35, 38がオンすると、デジタル階調データが反転されてクロックトインバータ47, 48から出力される。一方、サンプリング期間中は、トランジスタ35, 38がオフし、クロックトインバータ47, 48は直前の状態を保持する。

【0045】このように、クロックトインバータ47, 48内のトランジスタ35, 38により、クロックトインバータ47, 48内に貫通電流が流れるのを防止できる。

【0046】クロックトインバータ47, 48以外の変形例として、図5に示すようにNAND回路57, 58を挿入してもよい。図5のNAND回路57, 58はトランジスタ91～94で構成されている。トランジスタ91は、レジスタ回路2からのタイミング信号がハイレベル、すなわちサンプリング期間中にオンする。このとき、サンプリングラッチ回路13の出力はハイレベル固定になり、NAND回路57, 58内を貫通電流が流れなくなる。一方、レジスタ回路2からのタイミング信号がローレベル、すなわち非サンプリング期間のときは、トランジスタ91がオフしてトランジスタ94がオンし、デジタル階調データを反転したデータがサンプリングラッチ回路13から出力される。

【0047】また、上述した実施形態では、貫通電流を防ぐ信号として、シフトレジスタ11からのタイミング信号、またはその反転信号を利用したが、時刻t1～t2の期間に貫通電流が流れるのを防ぐ機能を持つ信号を別に設けることにより、同様に貫通電流を防止できる。

【0048】例えば、図6は、NOR回路67, 68内のトランジスタのオン・オフをロード信号により行う例を示す回路図である。ロード信号は、図8に示すように時刻t3～t4の間にハイレベルになるため、時刻t3以前はトランジスタ33がオンしてトランジスタ31がオフする。したがって、時刻t3以前は、サンプリングラッチ回路13の出力は常にローレベルになる。一方、時刻t3～t4の間は、デジタル階調データを反転したデータがサンプリングラッチ回路13から出力される。

【0049】上述した図2のサンプリングラッチ回路1

3では、デジタル階調データとその反転データの双方を記憶回路20に取り込む例を説明したが、いずれか一方のみを取り込んでもよい。これにより、図2のトランジスタ25, 26の一方とNOR回路27, 28の一方とをそれぞれ省略でき、回路構成を簡略化できる。

【0050】上述した実施形態では、本発明のデータラッチ回路を液晶表示装置の信号線駆動回路に用いる例を説明したが、信号線駆動回路以外の目的、例えば、走査線駆動回路内のシフトレジスタ11などにも適用可能である。

【0051】

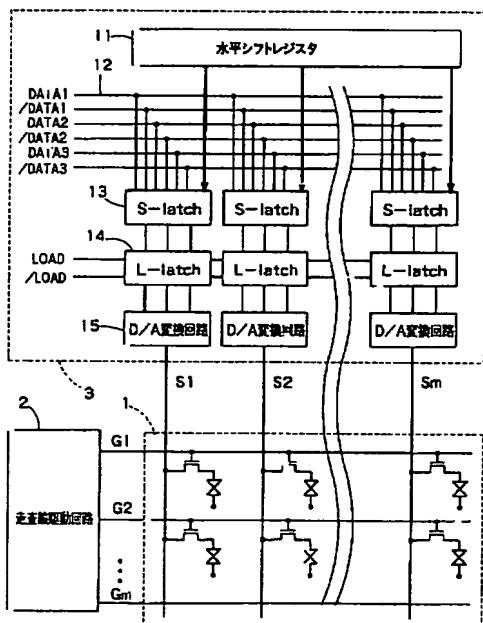
【発明の効果】以上詳細に説明したように、本発明によれば、データラッチ回路の出力回路に貫通電流防止機能を持たせたため、サンプリング期間内の消費電力の低減を図れる。したがって、本発明を液晶表示装置に適用すれば、低消費電力型の液晶表示装置を実現できる。

【図面の簡単な説明】

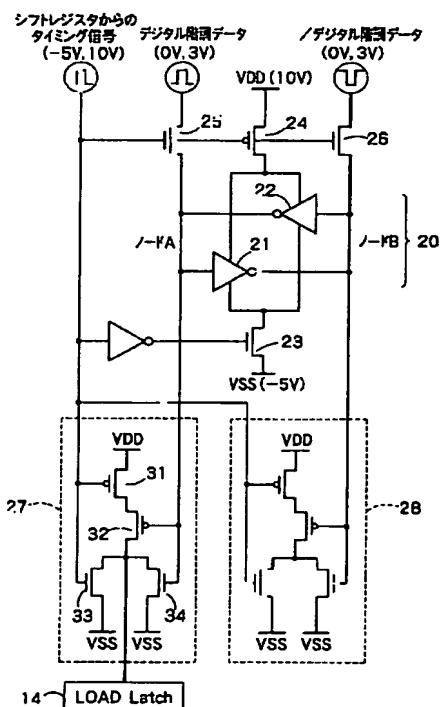
【図1】本発明に係る液晶表示装置の全体構成を示すブロック図。

【図2】サンプリングラッチ回路13の具体的な回路構成を示す回路図。

【図1】



【図2】



【図3】図2の回路の動作タイミング図。

【図4】NOR回路の代わりにクロックトインバータを設けたサンプリングラッチ回路の回路図。

【図5】NOR回路の代わりにNAND回路を設けたサンプリングラッチ回路の回路図。

【図6】NOR回路内のトランジスタのオン・オフをロード信号により行う例を示す回路図。

【図7】サンプリングラッチ回路の具体的な回路構成を示す図。

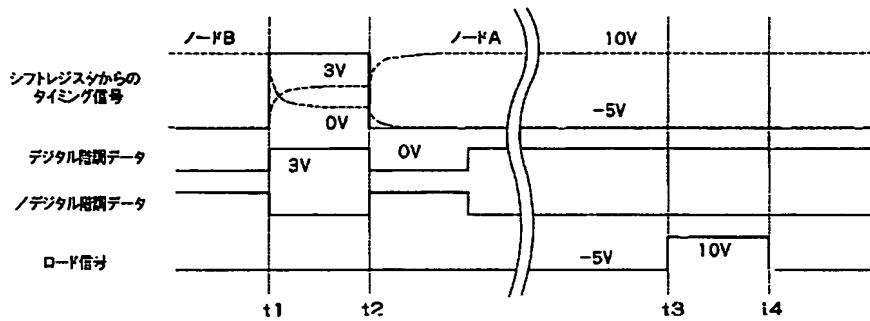
【図8】図7の回路の動作タイミング図。

【図9】ノードA側の信号だけをロードラッチ回路に供給したサンプリングラッチ回路の回路図。

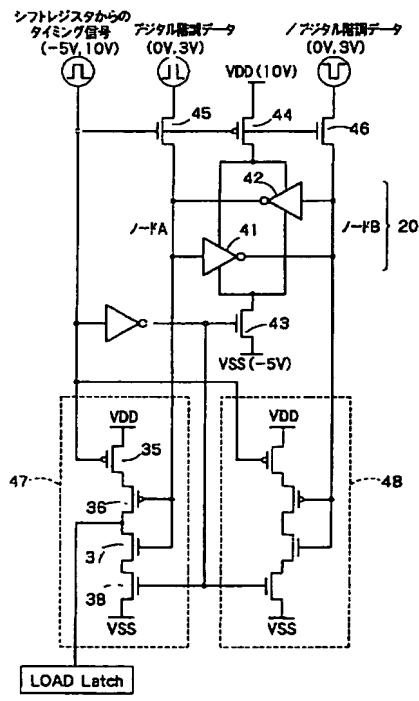
【符号の説明】

- 1 画素アレイ部
- 2 走査線駆動回路
- 3 信号線駆動回路
- 11 水平シフトレジスタ
- 12 デジタルビデオバスライン
- 13 サンプリングラッチ回路
- 14 ロードラッチ回路
- 15 D/A変換回路

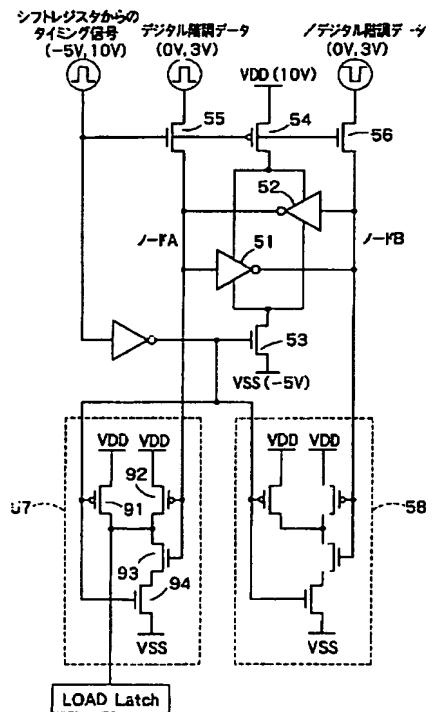
【図3】



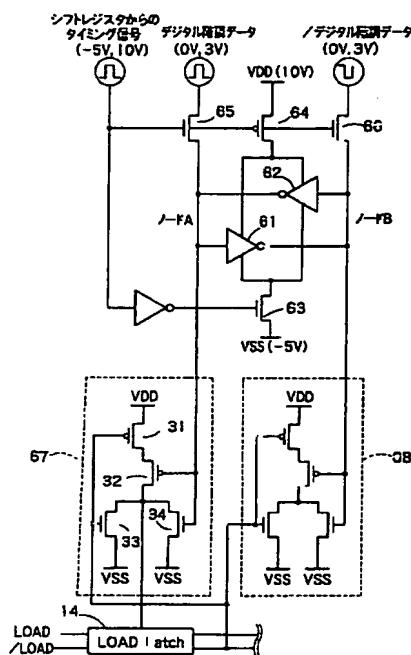
【図4】



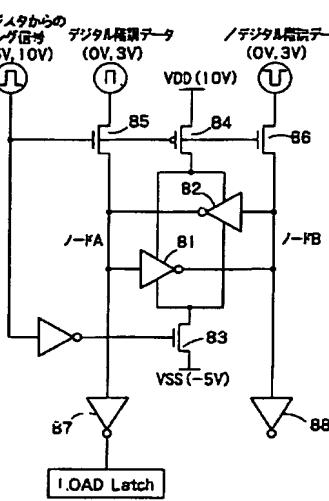
【図5】



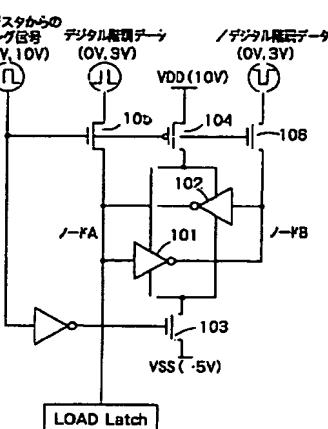
【図6】



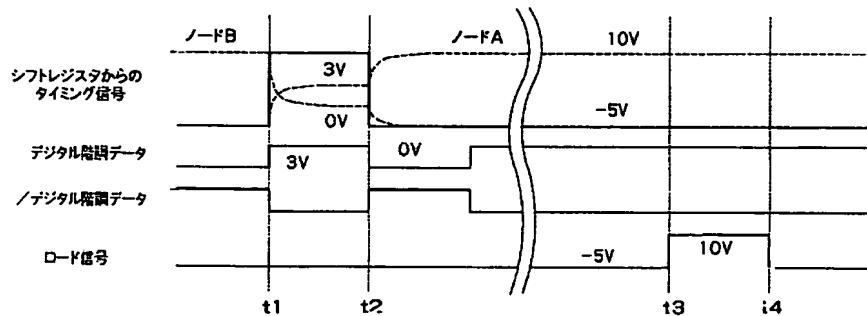
【図7】



【図9】



【図8】



フロントページの続き

F ターム(参考) 2H093 NA16 NC15 NC22 NC23 NC26
 NC34 ND38 ND39
 5C006 AA01 AA02 AA11 AA22 AF83
 BB16 BC12 BC14 BC16 BF03
 BF04 BF11 BF26 BF27 BF34
 BF42 FA47
 5C080 AA10 BB05 DD26 FF11 JJ02
 JJ03 JJ04